

PAT-NO: JP405343681A

DOCUMENT-IDENTIFIER: JP 05343681 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 24, 1993

INVENTOR-INFORMATION:

NAME

KUNITOMO, DAISUKE

TADA, YOSHIHIDE

ASSIGNEE-INFORMATION:

NAME

COUNTRY

KAWASAKI STEEL CORP

N/A

APPL-NO: JP04151006

APPL-DATE: June 11, 1992

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/401, 257/409 , 257/E29.022

ABSTRACT:

PURPOSE: To enable the excellent switching characteristics of a transistor to be displayed by enhancing the field intensity in an upper channel part within a longitudinal ultrathin film transistor.

CONSTITUTION: A protrusion 20 is formed on the upper part of a substrate 10; a drain region 22 and a source region 24 are formed on both sides of the protrusion 20; and a channel region 26 is formed in the region held by these drain region 22 and the source region 24. Besides, the surfaces of the substrate 10 and the protrusion 20 are covered with an oxide film 30 formed of

SiO<sub>2</sub> while a gate electrode 32 is formed on the surface of the channel region 26. Furthermore, SiO<sub>2</sub> films 12 in specific thickness are arranged on the upper end part of the protrusion 20 and beneath the oxide film 30. Accordingly, the thickness of the upper end part of the gate oxide film 32 is made thicker than the sidewall film thickness so that the effect of the upper gate voltage may be mitigated at the channel part of the upper end part of the channel region 26.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-343681

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 78

3 0 1 X

9168-4M

3 2 1 X

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-151006

(22)出願日 平成4年(1992)6月11日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 國友 大裕

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(72)発明者 多田 ▲吉▼秀

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(74)代理人 弁理士 金山 敏彦 (外2名)

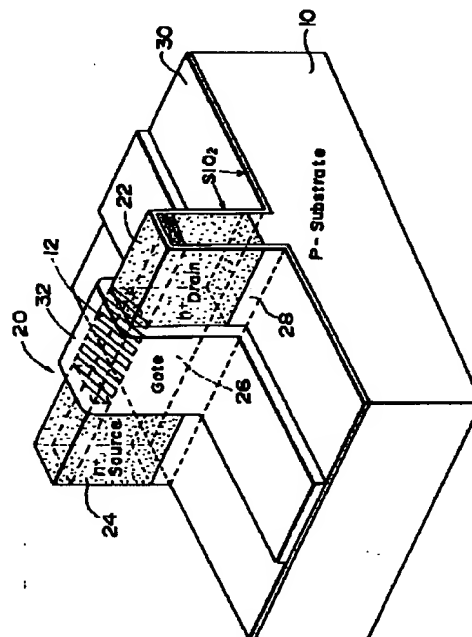
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 縦型超薄膜トランジスタとした際に、上端部のチャネル部の電界強度を改善し、良好なトランジスタのスイッチング特性が得られる半導体装置を提供する

【構成】 基板10の上部には突出部20が形成されており、この突出部20の両側には、ドレイン領域22、ソース領域24が形成されて、このドレイン領域22、ソース領域24に挟まれた領域にチャネル領域26が形成されている。また、基板10および突出部20の表面はすべてSiO<sub>2</sub>で形成される酸化膜30によって覆われており、チャネル領域26の表面にはゲート電極32が形成されている。更に、突出部20の上端部で酸化膜30の下方には、所定の膜厚のSiO<sub>2</sub>膜12が設けられている。従って、ゲート酸化膜の上端部の膜厚は、側壁膜厚より厚くなり、チャネル領域26の上端部のチャネル部において、その上方のゲート電圧の影響が弱められる。

【図1】



## 【特許請求の範囲】

【請求項1】 半導体基板上に素子領域を突出形成し、ここにソース領域と、ドレイン領域と、該ソース領域及びドレイン領域間にチャンネル領域と、を設け、そのチャンネル領域に絶縁体膜を介して電界を印加するゲート電極を設けた電界効果トランジスタを有する半導体装置であって、前記チャンネル領域の前記絶縁体膜は、チャンネル領域の上端部において、膜厚が他の側壁の膜厚より厚いことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体基板上にMOSトランジスタなどの素子を形成する半導体装置に関する。

## 【0002】

【従来の技術】従来より、各種の半導体装置が提案されており、特にMOSトランジスタを内蔵したものが多く利用されている。そして、このような半導体装置においては、その集積度を上昇させるために素子構造の微細化が進んでいる。

【0003】ここで、通常の半導体装置は、平板状の半導体基板（例えば、Si基板）の所定の領域に複数のMOSトランジスタ形成している場合が多い。この場合には、ゲート領域を薄い絶縁層を介しゲート電極で覆った状態でその両側の領域にイオンをドーピングして、ソース領域、ドレイン領域を形成しMOSトランジスタを半導体基板の所定領域に形成している。そして、このような半導体装置のMOSトランジスタを微細化していくと、各種の問題が生じる。すなわち、ドレイン付近の電界増加に伴いドレイン空乏層がソース近傍の電位障壁近くまで伸びパンチスルー電流が発生するなどの短チャンネル効果が発生したり、チャンネル内における電界強度の増加に伴いキャリアのエネルギーが増加し衝突電離により電子正孔対が発生するホットキャリア効果が発生したり、さらにチャンネルの垂直方向の電界が大きくなりキャリアの移動度が小さくなったり、隣接する素子との素子分離が十分行えなくなる等の問題が発生する。従って、従来の半導体装置では、そのゲート長をサブミクロン程度以下とすると、十分な性能、信頼性を保持できないという問題点があった。

【0004】一方、これらの問題点を改善するものとして、SOI (Silicon On Insulator) 超薄膜トランジスタが提案されている。このSOI超薄膜トランジスタは、半導体基板上に酸化絶縁膜を形成し、この酸化絶縁膜上にソース、ゲート、ドレイン領域を形成したものである。この超薄膜トランジスタによれば、絶縁膜上にトランジスタを形成するため、短チャンネル効果、ホットキャリア効果の発生を抑制できると共に、チャンネル全体に電圧を印加できるため垂直方向の電

界を小さくしてキャリア移動度を大きく維持でき、さらに素子分離性に優れているという効果が得られる。

【0005】しかし、この超薄膜トランジスタはその構造上、絶縁膜上にトランジスタを形成するためのSi基板を形成することが必要である。ところが、絶縁膜（例えば、SiO<sub>2</sub>）にSi単結晶層を形成することは技術的に非常に難しい。特に、良質なSiエピタキシャル膜を形成することは現在のところ不可能であり、好適な性能を持つ超薄膜トランジスタを製造することは困難であった。

【0006】そこで、本願発明者らは、超薄膜トランジスタに類似の効果をえられる半導体装置として、Si基板上に突出部を設け、この突出部内にソース、チャンネル、ドレイン領域を設ける縦型超薄膜トランジスタを特願平4-17176公報号で提案している。すなわち、この縦型超薄膜トランジスタは、Si基板上に突起部を異方性エッチングによって形成している。そして、均一な膜厚を有する絶縁体膜（いわゆる、ゲート酸化膜）を介し配置されたゲート電極が、この突起部の中央部分にカバーしており、ゲート電極の内側をチャンネル領域とし、その両側がドレイン領域、ソース領域とされている。そして、ゲート電極の電位を変更することにより、チャンネル領域の状態を変化させ、ソース及びドレイン領域間の導通を制御できる。一方、ドレイン領域、ソース領域及びチャンネル領域の下方に、基板の組成がそのまま残る素子分離部を形成している。

## 【0007】

【発明が解決しようとする課題】しかしながら、上述のゲート電極に均一に絶縁体膜を形成した縦型超薄膜トランジスタにおいて、チャンネル領域の上端部は、その上方のゲート電圧のみならず、Si突出部の側壁のゲート電圧の影響も受けるため、電界が密になっている。従って、Si突出部上端部のチャンネル部は、Si突出部側壁のチャンネル部よりも低いゲート電圧でオンセットしてしまい、トランジスタのスイッチング特性が悪化するという問題点があった。

【0008】本発明は、上記問題点を解決することを課題としてなされたものであり、縦型超薄膜トランジスタとした際に、上端部のチャンネル部の電界強度を改善し、チャンネル領域のチャンネル部に流れる電流の方向を基板とほぼ平行にして、良好なトランジスタのスイッチング特性が得られる半導体装置を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明に係る半導体装置は、半導体基板上に素子領域を突出形成し、ここにソース領域と、ドレイン領域と、該ソース領域及びドレイン領域間にチャンネル領域と、を設け、そのチャンネル領域に絶縁体膜を介して電界を印加するゲート電極を設けた電界効果トランジスタを有する半導体装置であって、前記チャンネル領域の前記絶縁体膜は、チャンネル領域の上端部

10

20

30

40

50

において、膜厚が他の側壁の膜厚より厚いことを特徴とする。

#### 【0010】

【作用】本発明に係る半導体装置において、チャネル領域（Si突出部）の上端部の絶縁体膜厚を側壁の膜厚より厚くしたので、Si突出部上端部のチャネル部において、その上方のゲート電圧の影響が弱められる。

#### 【0011】

【実施例】以下、本発明に係る半導体装置について、図面に基いて説明する。

【0012】図1は、上述のようにして製造された半導体装置の構成を説明するための斜視図である。

【0013】p型のSiの基板10の上部には、突出部20が形成されている。そして、この突出部20の両側には、n<sup>+</sup>型のドレイン領域22、n<sup>+</sup>型のソース領域24が形成されており、このドレイン領域22、ソース領域24に挟まれた領域に基板10と同じp型のチャネル領域26が形成されている。そして、これらドレイン領域22、ソース領域24、チャネル領域26はその下端が突出部20内に収まっており、突出部20の下部には基板10の一部である素子分離部28が形成されている。

【0014】また、基板10および突出部20の表面はすべてSiO<sub>2</sub>で形成される酸化膜30によって覆われており、チャネル領域26の表面にはゲート電極32が形成されている。このため、この酸化膜30はゲート酸化膜として機能する。また、ゲート電極32は、外部との電気的接続のため、基板10の所定の端部まで引き回されている。

【0015】更に、突出部20の上端部で酸化膜30の下方には、異方性エッチングのための線上パターン用酸化膜12が残留している。従って、このゲート電極32の上端部の酸化膜は、側壁の酸化膜より厚くなっている。

【0016】このような半導体装置では、突出部20内に1つのMOSTランジスタが構成されている。従って、ドレイン領域22、ソース領域24にそれぞれドレイン電極、ソース電極を接続すれば、ゲート電極32への電圧の印加によって、チャネル領域26の電位を制御しドレイン領域22→ソース領域24間の電流を制御することができる。この例では、形成されているMOSTランジスタがnチャネルであるため、ゲート電極に正の電圧を印加することによって、電流が流れる。

【0017】特に、本実施例の装置によれば、突出部20の上端部で酸化膜30の下方に、所定の膜厚の酸化膜12が設けられている。従ってこのゲート酸化膜は、この部分の膜厚が側壁膜厚より厚くなっている。このため、チャネル領域26の上端部のチャネル部において、その上端部のゲート電圧の影響が弱められ、このチャネル部の閾値電圧が従来より高くなって、他の部分に先駆

けてオンセットされることがない。

【0018】一方、前述の素子分離部28は基板10の一部である。そこで、衝突電離によって発生する基板と同極性の余剰キャリア（本例の場合、正孔）が基板10に排出されることになり、チャネル領域26に溜まることがない。従って、余剰キャリアの蓄積に伴うキンク（Kink）現象の発生がなく、また余剰の正孔による疑似短チャネル効果の発生がない。また、消費電力により発生した熱が基板10に容易に拡散するため、チャネル領域26の加熱を防止することができる。

【0019】さらに、トランジスタを縦型とし、チャネル領域26をゲート電極32によって取り囲んでいるため、チャネル領域全体の電圧を所定の値に制御することができ、動作性能を非常に高いものとすることができる。

【0020】本実施例の半導体装置の製造方法について、図2に基いて説明する。まず、Si単結晶からなる基板10表面上に、SiO<sub>2</sub>膜（またはSiN膜）12による線幅0.1μm程度の線状パターンを形成する（S1）。この線状パターンの形成は、電子（EB）ビーム描露光装置および多層レジスト露光技術などを利用した超微細パターンニング技術によって行う。そして、このSiO<sub>2</sub>（またはSiN）線状パターンをマスクとして、RIE（Reactive Ion Etching）などによって基板10に異方性エッチングを施し、所定の凹部40を形成して突出部20を形成する（S2）。次に、このマスクとして機能したSiO<sub>2</sub>膜12を除去することなく、基板10の全表面を熱酸化しSiO<sub>2</sub>の酸化膜30を形成する（S3）。そして、全表面にポリシリコン層Poly-Siを形成した（S4）後、通常の写真リソグラフィにより、ゲート電極32を形成する（S5）。その後、イオン注入によりドレイン領域22、ソース領域24を形成する（本実施例では、例えばリンの注入によるn<sup>+</sup>領域の形成）。ここで、このイオン注入は、不純物の照射方向をマスク、電圧印加などによって斜め方向のみに限定する斜入射イオン注入装置によって行う（S6）。そして、ソース及びドレイン領域の酸化膜を除去したのち、必要に応じてアニール処理を行って各領域の結晶構造等を調整する。

#### 【0021】

【発明の効果】以上説明したように、本発明に係る半導体装置によれば、チャネル領域（Si突出部）の上端部の絶縁体膜厚をその側壁の膜厚より厚くしたので、Si突出部の上端部のチャネル部において、その上方のゲート電圧の影響が弱められた。従って、Si突出部上端のチャネル部の閾値電圧が従来より高くなり、この部分が他の部分に先駆けてオンセットされることがない。また、チャネル領域のチャネル部に流れる電流の方向が、基板とほぼ平行になる。

【0022】更に、線上パターン用の酸化膜を除去しな

5

6

いので、工程が簡略化できる。

【図面の簡単な説明】

【図1】半導体装置の構成を示す斜視図である。

【図2】半導体装置の製造工程の説明図である。

【符号の説明】

10 基板

12  $\text{SiO}_2$  膜

20 突出部

22 ドレイン領域

24 ソース領域

26 チャネル領域

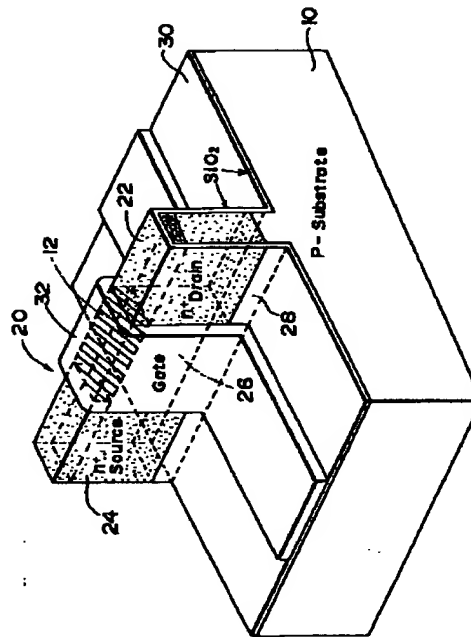
30 酸化膜

32 ゲート電極

40 凹部

【図1】

【図1】



【図2】

